

Wojciech JARZYNA¹

Piotr LIPNICKI²

Dariusz ZIELIŃSKI²

Politechnika Lubelska, Katedra Napędów i Maszyn Elektrycznych (1)
Politechnika Lubelska, Wydział Elektrotechniki i Informatyki, doktorant (2)

Ocena wybranych algorytmów synchronizacji przekształtników sieciowych podczas zapadów napięcia

Abstract. *W artykule omówiono problem synchronizacji podczas zapadów napięcia rozproszonych źródeł energii z siecią elektroenergetyczną. Dla wybranych wstępnie algorytmów wykonano badania symulacyjne w środowisku Matlab/Simulink. Powtórzono je następnie w testach laboratoryjnych z dedykowanym do tych zadań sprzętowo-programowym emulatorem sieci oraz dwupoziomowym przekształtnikiem tranzystorowym sterowanym metodą Voltage Oriented Control (VOC). Uzyskane wyniki umożliwiły wybór algorytmu odpornego na pełne symetryczne zapady napięcia oraz wskazały jakie różnice istnieją pomiędzy symulacjami a badaniami laboratoryjnymi. (English title: **Evaluation of synchronization algorithms of grid side converters during voltage sags**)*

Słowa kluczowe: przekształtnik sieciowy, synchronizacja, pętla PLL, zapad napięcia

Wstęp

Rosnący w wielu krajach udział rozproszonych źródeł energii, a w szczególności energetyki wiatrowej sprawił, że zmieniły się wymagania operatorów sieci względem tych stosunkowo niewielkich źródeł energii. W tym zakresie nawet instrukcje ruchu polskich operatorów sieci przesyłowych i dystrybucyjnych nakładają na użytkowników elektrowni wiatrowych wymagania, które dawniej dotyczyły tylko dużych elektrowni. Do wymagań tych należy między innymi konieczność przetrwania krótkotrwałych zapadów napięcia, określana zgodnie z nomenklaturą europejską FRT (Fault Ride Through). W wielu krajach wymagania te są jeszcze wyższe, gdyż nakładają obowiązek aktywnego uczestniczenia w poprawie jakości napięcia poprzez zastosowanie dynamicznej regulacji mocy biernej [1]. Zmiany przepisów wiążą się ze wzrostem koncentracji rozproszonych i niestabilnych mocowo elektrowni wiatrowych. Przyczyniły się one również do zastosowania w tych elektrowniach szybkich, w pełni sterowalnych przekształtników sieciowych.

Jedną z podstawowych własności tych przekształtników sieciowych jest zdolność do synchronizacji generowanego napięcia podczas zaburzeń poziomu napięcia sieci, czy też skokowych zmian kąta fazowego [7]. O możliwościach synchronizacji w dużej mierze decyduje zastosowany algorytm regulacji zgodności faz. Dobry algorytm powinien być odporny na możliwie dużą gamę zaburzeń w sieci takich jak: zapady napięcia, skoki napięcia, fluktuacje częstotliwości czy też zawartość wyższych harmonicznych. Do tych właściwości można również dodać odpowiednią szybkość zadziałania, zapewnienie synchronizacji przy krótkotrwałych zanikach napięcia. W artykule skupiono się na porównaniu wyników uzyskanych podczas zapadów symetrycznych o różnym poziomie obniżenia napięcia sieci.

Algorytmy synchronizacji

Istnieje wiele różnych algorytmów synchronizacji dla przekształtników sieciowych [6]. Nie ma jednak sztywnych ram, norm, które by określały, w jaki sposób powinny zostać dobrane metod synchronizacji. Zależy to głównie od wymagań określonych przez danych operatorów sieci względem nowo instalowanych elektrowni wiatrowych [5]. Zastosowanie bowiem algorytmów odpornych na szerokie spektrum zaburzeń podnosi koszty i może nie gwarantować dużej skuteczności pracy na podstawowe zaburzenia sieci. Przykładowo algorytmy odporne na harmoniczne są trudniejsze w implementacji, ale mogą nie sprostać podstawowym wymaganiom operatorów.

Nowoczesne algorytmy synchronizacji w dużej większości przypadków bazują na teorii mocy chwilowej p-q opracowanej przez Hirufumi Akagiego [8]. Twórcy tej teorii zaproponowali użycie tzw. układu odniesienia p-q-r, który wiruje synchronicznie wraz z wektorem napięcia systemu trójfazowego. Szczegółowy przegląd istniejących metod synchronizacji i klasyfikacji zostały przedstawione w opracowaniu [9]. Spośród opisywanych tam metod, do bieżących badań wybrano potencjalnie najbardziej obiecujące algorytmy synchronizacji:

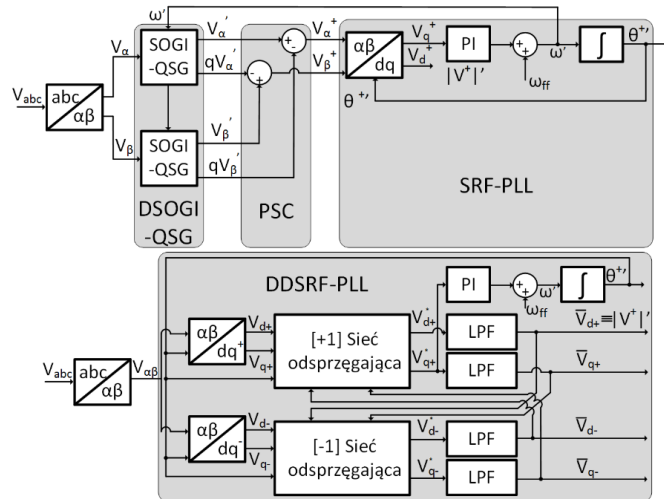
- Filtracji $\alpha\beta$
- Oscylatora napięcia
- Zamkniętego układu pętli fazowej określonego w wirującym synchronicznie układzie odniesienia – Synchronous Reference Frame Phase Locked Loop (SRF-PLL)[2]
- Zamkniętego układu pętli fazowej wykorzystującego uogólnione układy całkujące drugiego rzędu - Dual Second Order Generalized Integrators PLL (DSOGI-PLL) [3]
- Zamkniętego układu pętli fazowej stosującego uogólnione układy całkujące drugiego rzędu z generacją wektorów prostopadłych, wykorzystującego znoszenie się składowych zgodnych - Dual Second Order Generalized Integrators with Quadrature Signals Generation and Positive Sequence Signals Cancelation (DSOGI-QSG-PSC) [3]
- Zmodyfikowanego przez autorów zamkniętego układu pętli fazowej określonego w podwójnym wirującym synchronicznie układzie odniesienia z odprężeniem – Double Decoupled Synchronous Reference Frame (DDSRF-PLL) [4]

Spośród wymienionych algorytmów, powszechnie stosowaną metodą synchronizacji w systemie trójfazowym jest algorytm SRF-PLL. Algorytm ten działa w sposób prawidłowy przy warunkach normalnych, podczas braku zakłóceń napięcia w sieci. Jednak w przypadku wystąpienia jakiegokolwiek zaburzenia, jego działanie nie jest satysfakcjonujące. Szczegółowy opis zasady działania można znaleźć w [2].

Jednym z mechanizmów poprawiających jakość działania algorytmu synchronizacji może być zastosowanie dodatkowych elementów całkujących SOGI. Zasada działania układu DSOGI-PLL oparta jest na estymowaniu wartości składowej zgodnej i przeciwnej napięcia sieci. Szacowanie to zrealizowane jest poprzez wykorzystanie teorii chwilowych elementów symetrycznych mierzonych w stacjonarnym układzie odniesienia alfa-beta. Szczegółowy opis zasady działania można znaleźć w opracowaniu naukowców z Aalborg University [3].

Algorytm synchronizacji z siecią w podwójnym wirującym układzie odniesienia (DDSRF-PLL) został zaproponowany przez zespół Rodriguez'a w [4]. W rozwiązaniu tym dwa układy odniesienia wirują z podstawową częstotliwością sieci w taki sposób, że jeden układ obraca się zgodnie z ruchem wskazówek zegara, a drugi przeciwnie. Dzięki temu metoda ta pozwala na określenie składowych zgodnych, przeciwnych zerowych napięcia sieci. Schematy blokowe dla dwóch zaawansowanych metod synchronizacyjnych zostały przedstawione na Rys. 1.

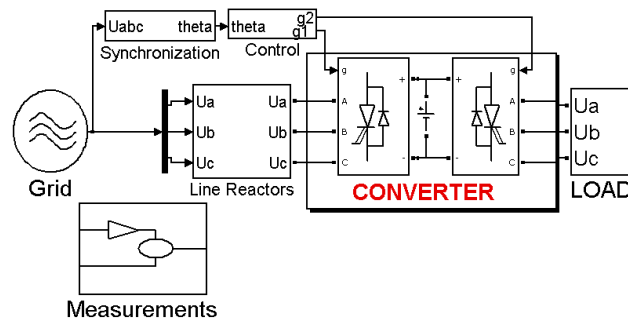
VIII Konferencja Naukowo-Techniczna – i-MITEL 2014



Rys. 1. Schematy blokowe dwóch ostatnich spośród wymienionych wcześniej zaawansowanych algorytmów synchronizacji napięcia typu DSOGI-QSG-PSC i DDSRF-PLL, gdzie wielkości oznaczone indeksami „prim” to wartości odsprężnione, indeksami „plus” to składowe zgodne, ω_{ff} – częstotliwość sieci, θ^* - kąt sieci dla składowej zgodnej, bloki LPF- filtry dolnoprzepustowe (low pass filter), zmienne z górnym zakreśleniem to wartości odfiltrowane
Pozostałych schematów blokowych nie umieszczono w artykule, gdyż występujące tu bloki powtarzają się, choć w nieco uproszczonych strukturach [9].

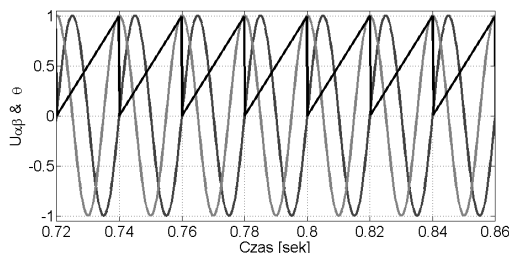
Badania symulacyjne

Badania symulacyjne zostały przeprowadzone w środowisku MATLAB/Simulink. Model został zaprojektowany w taki sposób, aby odzwierciedlał on układ zbudowany w laboratorium. Rys.2 przedstawia model symulacyjny składający się z trójfazowego w pełni sterowalnego przekształtnika dwupoziomowego z regulacją wektorową typu VOC (Voltage Oriented Control). Przedstawiony na rysunku przykład zawiera prosty algorytm do synchronizacji z siecią, zaprojektowany w wirującym układzie współrzędnych (SRF-PLL). Wyniki dla pozostałych metod synchronizacji zostały zebrane w postaci tabeli 1.

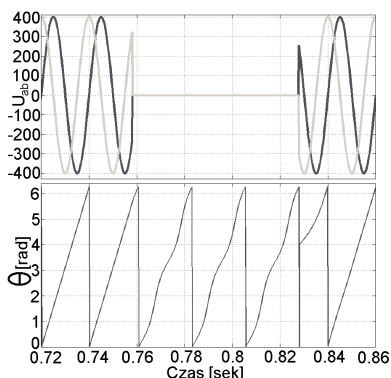


Rys.1. Oscylogram przedstawiający działanie algorytmu SRF – podczas chwilowego, całkowitego zapadu napięcia – wynik symulacji.

Podczas operacji przy normalnym działaniu sieci zasilającej algorytm SRF-PLL jest w stanie bardzo dokładnie określić kąt synchronizacji θ , a tym samym częstotliwość napięcia zasilania. Sposób działania metody jest przedstawiony na Rys. 3. Jednakże w przypadku pojawienia się zaburzenia w sieci (w postaci chwilowego, całkowitego zapadu napięcia) estymacja nie działa poprawnie. Łatwo daje się zauważyć niepożądane przesunięcie fazowe sygnału synchronizacji (Rys.4).



Rys. 3. Oscylogram przedstawiający poprawne działanie algorytmu SRF – symulacja.



Rys. 4. Oscylogram przedstawiający działanie algorytmu SRF – podczas chwilowego, całkowitego zapadu napięcia – symulacja.

W przypadku pozostałych metod do synchronizacji z siecią można zauważyć, że tylko dwie są w stanie przetrwać zapad napięcia bez wpływu na ich działanie. Mianowicie, algorytm DSOGI-PLL jest w stanie pracować poprawnie przy pewnym zakresie zapadów. Jeśli chodzi o pozostałe własności, to np. w przypadku czasu ustalania najszybciej działa algorytm SRF-PLL, który osiąga wartość ustaloną po ok. 10 ms. Odporność na pojawianie się w sieci wyższych harmonicznych wykazują tylko trzy algorytmy, natomiast odporność na fluktuacje częstotliwości cztery metody (Tabela 1).

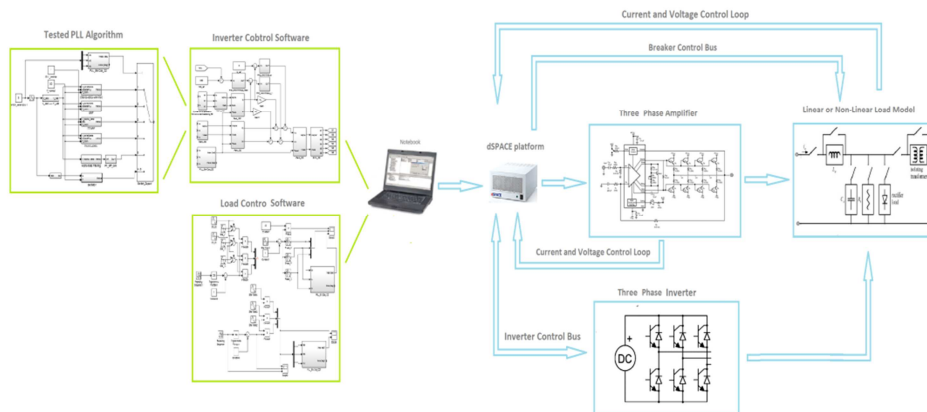
Metoda	Odporność na zapad	Odporność na fluktuacje f	Czas ustalania	Odporność na harmoniczne
Filtracja $\alpha\beta$	Nie	Nie	150 ms	Nie
Oscylator Napięcia	Nie	Nie	200 ms	Nie
SRF-PLL	Nie	Tak	10 ms	Nie
DDSRF-PLL	Tak	Tak	300 ms	Tak
DSOGI-PLL	Częściowa	Tak	200 ms	Tak
DSOGI-QSG-PSC-PLL	Tak	Tak	200 ms	Tak

TABELA 1. Porównanie algorytmów synchronizacji – symulacje.

VIII Konferencja Naukowo-Techniczna – i-MITEL 2014

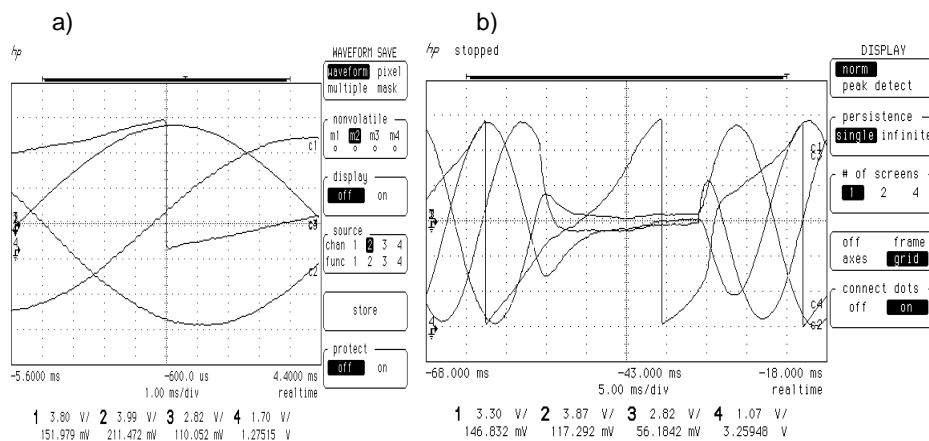
Weryfikacja laboratoryjna

Do potwierdzenia otrzymanych w symulacjach wyników wykorzystano stanowisko laboratoryjne oparte o trójfazowy w pełni sterowalny przekształtnik z regulacją wektorową typu VOC. Sprawne przeprowadzenie testów z różnymi algorytmami PLL uzyskano dzięki zastosowaniu systemu dSpace, który umożliwia niemal bezpośrednią implementację algorytmów. Schemat stanowiska przedstawia Rys.5.



Rys. 5. Schemat blokowy emulatora sieci trójfazowej wraz z przekształtnikiem i obciążeniem

Tak jak i w przypadku symulacji dla przykładu wybrano algorytm SRF-PLL. Przy prawidłowym działaniu sieci zasilającej algorytm ten jest w stanie bardzo dokładnie określić kąt synchronizacji θ , a tym samym i częstotliwość napięcia zasilania – Rys.6a.



Rys. 6. Oscylogramy: a) działania algorytmu SRF-PLL bez zakłóceń napięcia, b) działania algorytmu SRF podczas chwilowego, całkowitego zapadu napięcia

Przy pojawieniu się zaburzenia w sieci (w postaci chwilowego, całkowitego zapadu napięcia) estymacja kąta nie jest poprawna. Łatwo daje się zauważyć falowanie sygnału, jak również przesunięcie fazowe (Rys. 6b) – podobnie jak w przypadku symulacji.

Podczas testów pozostałych metod synchronizacji z siecią zauważono, że tylko jeden algorytm jest odporny na zapady napięcia, a dwa w ograniczonym zakresie. Różnice pomiędzy wynikami symulacji a testów laboratoryjnych zauważono również badając odpowiedzi na zmiany częstotliwości. Najprawdopodobniej jest to spowodowane uproszczeniami wprowadzonymi podczas modelowania sieci i niedokładnością związaną z pomiarami w przypadku eksperymentów.

Metoda	Odporność na zapad	Odporność na fluktuacje f	Czas ustalania	Odporność na harmoniczne
Filtracja $\alpha\beta$	Nie	Nie	170 ms	Nie
Oscylator Napięcia	Nie	Nie	190 ms	Nie
SRF-PLL	Nie	Nie	50 ms	Nie
DDSRF-PLL	Tak	Tak	200 ms	Tak
DSOGI-PLL	Częściowa	Częściowa	180 ms	Tak
DSOGI-QSG-PSC-PLL	Częściowa	Tak	180 ms	Tak

TABELA 2. Porównanie algorytmów synchronizacji – eksperymenty

Szczegółowe wyniki działania wybranych algorytmów synchronizacji przy wybranych zaburzeniach przedstawia Tabela 2. Porównanie obu tabeli pozwala stwierdzić, że najbardziej odpornym, choć nie najszybszym, algorytmem synchronizacji jest metoda DDSRF-PLL.

Wnioski

Podczas badań dokonano weryfikacji wyników. Generalnie potwierdziły one własności zauważone podczas symulacji. Różnice wynikały z pewnych uproszczeń programu symulacyjnego dotyczące zapisu sieci elektroenergetycznej, a zwłaszcza jej własności dynamicznych. Podkreślić należy, że na stanowisku badawczym po raz pierwszy zastosowano oryginalny emulator sprzętowy sieci elektroenergetycznej posiadający własności dynamiczne analogiczne jak w rzeczywistych systemach sieci energetycznych.

Podziękowania

Prezentowane badania finansowane były z działalności statutowej Wydziału Elektrotechniki i Informatyki Politechniki Lubelskiej S-31/E/2013, tematu badawczego „Nowoczesne układy sterowania napędów elektrycznych zasilanych z odnawialnych źródeł energii” oraz ze statutowej dotacji celowej dla doktorantów.

Bibliografia

1. Jarzyna W., Lipnicki P. "The Comparison of Polish Grid Codes to Certain European Standards and resultant Differences for WPP Requirements", Power Electronics and Applications (EPE), 2013 15th European Conference, 02 - 06 Sep 2013 Lille. IEEE Xplore Digital Library
2. Ciobotaru, M.; Teodorescu, R.; Blaabjerg, F., "A New Single-Phase PLL Structure Based on Second Order Generalized Integrator", Power Electronics Specialized Conference 2006, PESC'06, 37th IEEE 18-22 June 2006

VIII Konferencja Naukowo-Techniczna – i-MITEL 2014

3. Ciobotaru, M.; Teodorescu, R.; Blaabjerg, F., ed. (1996). "A New Single-Phase PLL Structure Based on Second Order Generalized Integrator" Power Electronics Specialists Conference, 2006. PESC'06. 37th IEEE 18-22 June 2006 Page(s):1 – 6
4. P. Rodriguez, J. Pou, J. Bergas, J. I. Candela, R. P. Burgos, D. Boroyevich, "Decoupled double synchronous reference frame PLL for power converters control," IEEE Trans. Power Electron., vol. 22, no. 2, pp. 584–592, Mar. 2007.
5. Saeed Golestan, Mohammad Monfared, Francisco D. Freijedo and Josep M. Guerrero, Design and Tuning of a Modified Power-Based PLL for Single-Phase Grid-Connected Power Conditioning Systems. IEEE TRANSACTIONS ON POWER ELECTRONICS, VOL. 27, NO. 8, AUGUST 2012
6. Saeed Golestan, Member, IEEE, Mohammad Monfared, Member, IEEE, and Francisco D. Freijedo, Design-Oriented Study of Advanced Synchronous Reference Frame Phase-Locked Loops. IEEE TRANSACTIONS ON POWER ELECTRONICS, VOL. 28, NO. 2, FEBRUARY 2013
7. Iwanski G., Koczara W., PLL Grid Synchronization of the Standalone, DFIG based Wind Turbine or Rotary UPS. EUROCON 2007 The International Conference on "Computer as a Tool" Warsaw, September 9-12, IEEE Xplore Digital Library
8. Aredes M., Akagi H., Watanabe, E.H., Vergara Salgado E., "Comparisons Between the p-q and p-q-r Theories in Three-Phase Four-Wire Systems", IEEE Transactions on Power Electronics, Vol. 24 , Issue: 4, 04/2009
9. Lipnicki P., "Smart grids: general review of synchronization techniques", IAPGOŚ 3/2013, ISSN 2083-0157, pp. 18-23

Autorzy: dr hab. inż. Wojciech Jarzyna, prof. nzw. PL; Katedra Napędów i Maszyn Elektrycznych, Politechnika Lubelska, ul. Nadbystrzycka 38A, 20-618 Lublin, e-mail: w.jarzyna@pollub.pl
Mgr inż. Piotr Lipnicki, doktorant na Wydz. Elektrotechniki i Informatyki Politechniki Lubelskiej, e-mail: piotr.lipnicki86@gmail.com
Mgr inż. Dariusz Zieliński, doktorant na Wydz. Elektrotechniki i Informatyki Politechniki Lubelskiej, e-mail: shadow031@gmail.com